

IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yuichi GOMI**

Serial Number: **10/808,305**

Filed: **March 25, 2004**

Customer No.: 38834

For: **SOLID-STATE IMAGING APPARATUS**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

June 23, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. JP2003-107475, filed on April 11, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

John P. Kong
Reg. No 40,054

Atty. Docket No.: **042262**
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111

JPK/ym

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 1 日
Date of Application:

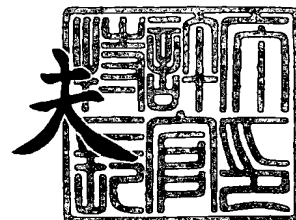
出 願 番 号 特 願 2 0 0 3 - 1 0 7 4 7 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 0 7 4 7 5]

出 願 人 オ リ ン パ ス 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 3 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 03P00559

【提出日】 平成15年 4月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335

【発明者】

 【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス光学
工業株式会社内

 【氏名】 五味 祐一

【特許出願人】

 【識別番号】 000000376

 【氏名又は名称】 オリンパス光学工業株式会社

 【代表者】 菊川 剛

【代理人】

 【識別番号】 100087273

 【弁理士】

 【氏名又は名称】 最上 健治

【手数料の表示】

 【予納台帳番号】 063946

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9105079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 2次元状に配列された複数の画素と、該画素の信号の読出しを行うための水平及び垂直走査回路とからなるXYアドレス型の固体撮像装置において、前記垂直走査回路によって、第1のタイミングで同時にn行（n：2以上の整数）を選択し、そのn行の画素のリセット動作を同時に行い、第1のタイミングに引き続く第2のタイミングで、第1のタイミングで選択した行とは異なるアドレスのn行を選択し、そのn行の画素のリセット動作を行い、この態様のリセット動作を繰り返し行うことで全画素のリセット動作を行うことを特徴とする固体撮像装置。

【請求項 2】 前記同時に選択され、画素のリセット動作が行われるn行は、連続したアドレス行であることを特徴とする請求項1に係る固体撮像装置。

【請求項 3】 前記同時に選択され、画素のリセット動作が行われるn行は、離散的なアドレス行であることを特徴とする請求項1に係る固体撮像装置。

【請求項 4】 前記垂直走査回路は、行選択部と該行選択部の出力信号とタイミング信号を入力し、画素動作を行うための制御信号を生成するタイミングパルス生成部から構成されていることを特徴とする請求項1～3のいずれか1項に係る固体撮像装置。

【請求項 5】 前記行選択部は、デコーダから構成されていることを特徴とする請求項4に係る固体撮像装置。

【請求項 6】 前記行選択部は、シフトレジスタから構成されていることを特徴とする請求項4に係る固体撮像装置。

【請求項 7】 前記タイミングパルス生成部は、論理回路から構成されていることを特徴とする請求項4～6のいずれか1項に係る固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、全画素のリセット動作を高速に行う X Y アドレス型固体撮像装置に関する。

【 0 0 0 2 】

【従来の技術】

【特許文献 1】 特開平 1 0 - 1 7 8 5 8 9 号公報

【特許文献 2】 特開平 9 - 2 0 0 6 1 5 号公報

【特許文献 3】 特開平 4 - 2 7 7 9 8 6 号公報

【特許文献 4】 特開平 6 - 3 5 0 9 3 3 号公報

【特許文献 5】 特開平 9 - 1 6 3 2 4 4 号公報

【 0 0 0 3 】

図13は、従来の X Y アドレス型固体撮像装置の構成例を示す回路構成図である。図中 Pix (1 , 1) , Pix (2 , 1) , Pix (m , n) は画素であり、ここでは m (列) n (行) の配列の例で示している。各画素は、1 個のフォトダイオードと 3 個の MOS トランジスタから構成されている。フォトダイオード 1 は、行毎にゲートが共通接続されたリセット用 MOS トランジスタ 2 のソース、及びアンプ用 MOS トランジスタ 3 のゲートに接続されている。各行毎に共通接続されたリセット用 MOS トランジスタ 2 のゲートは垂直走査回路 21 に接続されている。リセット用 MOS トランジスタ 2 及びアンプ用 MOS トランジスタ 3 のドレインは、共に全画素共通の画素電源 23 に接続されており、アンプ用 MOS トランジスタ 3 のソースは、行毎にゲートが共通接続された行選択用 MOS トランジスタ 4 のドレインと接続されている。

【 0 0 0 4 】

各行毎に共通接続された行選択用 MOS トランジスタ 4 のゲートは、垂直走査回路 21 に接続されている。行選択用 MOS トランジスタ 4 のソースは、垂直信号線 10 に接続されており、各画素は列毎に垂直信号線 10 により結合されている。垂直信号線 10 には、画素内のアンプ用 MOS トランジスタ 3 と合わせてソースフォロア回路を構成する電流源 24 が接続されている。

【 0 0 0 5 】

また、垂直信号線 10 は信号転送用 MOS トランジスタ 6 のドレインに接続され

ている。信号転送用MOSトランジスタ6のゲートは共通に接続され、転送信号 ΦT が印加されるようになっている。信号転送用MOSトランジスタ6のソースには、信号蓄積容量8が接続されていると共に、該ソースは水平選択用MOSトランジスタ5のドレインと接続されている。水平選択用MOSトランジスタ5のゲートは、水平走査回路22に接続されており、ソースは水平信号線11に接続されている。水平信号線11には、水平信号線リセット用MOSトランジスタ7と出力アンプ25が接続されている。

【0006】

このように構成されている固体撮像装置においては、垂直走査回路21からの信号によりリセット用MOSトランジスタ2と行選択用MOSトランジスタ4を行毎に制御することで、フォトダイオード1は行毎に画素電源23のレベルにリセットされ、入射光量に応じた電荷を蓄積する。そして、その信号レベルはソースフォロア回路により増幅されて垂直信号線10に行毎に現れ、信号蓄積容量8に蓄積される。

【0007】

その後、水平選択用MOSトランジスタ5を水平走査回路22により順次オンオフの制御をすると共に、水平信号線リセット用トランジスタ7により水平信号線をリセットすることにより、信号蓄積容量8に蓄積された入射光量に応じた信号が、出力アンプ25を介して出力端子26から順次取り出されることとなる。

【0008】

次に、図13に示した固体撮像装置の更に詳細な動作を、図14に示すタイミングチャートを用いて説明する。ここで、各画素行の行選択用MOSトランジスタ4のゲートに印加されるパルスは $\Phi SE1 \sim \Phi SEN$ 、リセット用MOSトランジスタ2のゲートに印加されるパルスは $\Phi RS1 \sim \Phi RSn$ とする。これらパルス $\Phi SE1 \sim \Phi SEN$ 及び $\Phi RS1 \sim \Phi RSn$ は、垂直走査回路21で発生するものである。また、 $\Phi H1 \sim \Phi Hm$ は水平走査回路20で発生するものであり、各水平選択用トランジスタ5のゲートに印加される。 ΦT は転送信号であり、信号転送用MOSトランジスタ6のゲートに印加されるものである。

【0009】

1 行目の画素 $P_{ix}(1, 1) \cdots P_{ix}(m, 1)$ の動作は、先ず、時刻 t_1 でパルス Φ_{RS1} がハイレベルとなり、リセット用 MOS トランジスタ 2 がオンし、フォトダイオード 1 をリセットする。その後蓄積状態となる。次に時刻 t_2 において、パルス Φ_{SE1} がハイレベルとなり、行選択用 MOS トランジスタ 4 がオンし、そのときのフォトダイオード 1 のレベルが垂直信号線 10 に現れる。また、このとき、転送信号パルス Φ_T もハイレベルであるので、垂直信号線 10 に現れた信号は、蓄積容量 8 に蓄積される。時刻 t_3 で画素信号の蓄積容量 8 への蓄積が終了した後、時刻 t_4 で Φ_{RS1} がハイレベルとなり、フォトダイオードはリセットされ、その後、蓄積状態となる。蓄積容量 8 に蓄積された信号は、時刻 t_5 でパルス Φ_{H1} がハイレベルとなり、1 列目の水平選択用 MOS トランジスタ 5 がオンし、水平信号線 11 上に現れ、出力アンプ 25 を介して出力端子 26 から取り出される。その後、図 14 では示していないが、水平信号線リセット用 MOS トランジスタ 7 をオンし、水平信号線 11 をリセットした後、パルス Φ_{H2} がハイレベルとなり、蓄積容量 8 に蓄積された 2 列目の信号が取り出される。以下同様にして、パルス $\Phi_{H3} \cdots \Phi_{Hm}$ に同期して、3 \cdots m 列目までの信号が順次出力される。

【0010】

同様に 2 行目の画素信号は、パルス Φ_{RS2} , Φ_{SE2} , $\Phi_{H1} \cdots \Phi_{Hm}$ によって制御されて出力され、これを n 行目まで同様に制御することにより、m 列 n 行全ての画素信号を出力することができる。

【0011】

図 14 において、時刻 t_0 から動作が始まった場合、1 フレーム目と記した期間の出力信号においては、動作直前までの画素の残留電荷が付加された信号となるので、画像信号としては用いることができない。

【0012】

また、1 行目の画素の蓄積期間は、図 14 中では t_1 から t_2 までであり、2 行目の画素の蓄積期間は t_6 から t_7 までである。したがって、行毎に蓄積期間の時刻が異なっており、移動している物体を撮像すると像が歪むという現象が生じる。このため、各行の蓄積期間を揃えるために、特に静止画のように間欠的に動

作させる場合は、メカシャッターや照明を用いた図15に示す動作シーケンスを用いることがある。図15においては、時刻 t_0 から画素のリセット動作を始め、時刻 t_1 で画素リセット動作が終了する。その後蓄積期間となり、所望の蓄積時間経過後に画素信号を出力する。このとき画素リセット期間及び画素信号出力期間は暗状態であり、蓄積期間のみ明状態である。この暗と明の状態は、蓄積期間中のみオープンとなるメカシャッターや、この期間中のみ点灯する照明を使用することで作り出すことができる。ここで、画素リセット期間中の動作は図14中の1フレーム目の動作に相当し、信号出力期間の動作は図14中の2フレーム目の動作に相当する。ただし、画素リセット期間においては、特開平10-178589号公報（特許文献1）に記述されているように、信号を出力する必要はない。

【0013】

【発明が解決しようとする課題】

図15のシーケンスで動作させた場合における画素リセット期間は、システムとしては本来無駄な時間であり、システムとしての性能向上のためにも画素リセット期間をできるだけ短縮することが望まれる。しかしながら、従来の構成の固体撮像装置を用いた場合において、全画素のリセットを行うためには、1行ずつ順次選択を行い、信号を読まずリセット動作のみを行ったとしても、画素数（行数）に依存する時間がかかっていた。したがって、今後予想される固体撮像装置の画素数増大に伴って、それを使用したシステムにおけるリセット期間も長くなってしまう。

【0014】

本発明は、従来の固体撮像装置における上記問題点を解消するためになされたもので、画素数が増大しても画素リセットを高速に行えるようにした固体撮像装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

上記問題点を解決するために、請求項1に係る発明は、2次元状に配列された複数の画素と、該画素の信号の読出しを行うための水平及び垂直走査回路とからなるXYアドレス型の固体撮像装置において、前記垂直走査回路によって、第1

のタイミングで同時に n 行 ($n: 2$ 以上の整数) を選択し、その n 行の画素のリセット動作を同時に行い、第 1 のタイミングに引き続く第 2 のタイミングで、第 1 のタイミングで選択した行とは異なるアドレスの n 行を選択し、その n 行の画素のリセット動作を行い、この態様のリセット動作を繰り返し行うことで全画素のリセット動作を行うことを特徴とするものである。

【0016】

請求項 2, 3 に係る発明は、請求項 1 に係る固体撮像装置において、前記同時に選択され、画素のリセット動作が行われる n 行は、連続したアドレス行あるいは離散的なアドレス行であることを特徴とするものであり、また請求項 4 に係る発明は、請求項 1 に係る固体撮像装置において、前記垂直走査回路は、行選択部と該行選択部の出力信号とタイミング信号を入力し、画素動作を行うための制御信号を生成するタイミングパルス生成部から構成されていることを特徴とするものであり、また請求項 5, 6 に係る発明は、請求項 4 に係る固体撮像装置において、前記行選択部は、デコーダあるいはシフトレジスタから構成されていることを特徴とするものであり、また請求項 7 に係る発明は、請求項 4 ~ 6 のいずれか 1 項に係る固体撮像装置において、前記タイミングパルス生成部は、論理回路から構成されていることを特徴とするものである。

【0017】

このように構成することにより、全画素のリセット動作は、画素行数よりも少ない垂直走査回路のシフト動作で終了することになり、全画素のリセットを行うのに要する時間を短縮でき、また、同時に選択する行数を増やすことにより画素数が増大しても全画素のリセット時間は長くないようにすることが可能となる。

【0018】

【発明の実施の形態】

(第 1 の実施の形態)

本発明に係る固体撮像装置の第 1 の実施の形態の基本構成を図 1 に示す。図 1 に示す基本構成は、垂直走査回路 21 の具体的構成が異なるのみで、その他の構成は図 13 に示した従来例と同一であるので、その説明を省略する。図 2 は、図 1 に

示した第1の実施の形態に係る固体撮像装置に用いられる垂直走査回路21の構成例で、4行分示している。この垂直走査回路21は、ある規則に従ってパルスを出力する行選択部31と、行選択部31の出力信号とタイミング信号 ΦSE 、 ΦRS を入力し、画素を選択／リセットしたりするのに適切な信号 $\Phi SE1/\Phi RS1$ 、 $\dots \Phi SE4/\Phi RS4$ を生成するタイミングパルス生成部32から構成されている。行選択部31には、シフトレジスタやデコーダ回路が用いられる。またタイミングパルス生成部32は、図示例ではAND回路で構成したものを示しているが、他の論理回路で構成することもできる。このように構成された垂直走査回路を用いた場合においては、行選択部31を制御することにより、所望の行を所望の順で選択走査することが可能となる。

【0019】

次に、上記構成の垂直走査回路を図1に示した固体撮像装置に用いた場合の本発明の第1の実施の形態の動作を、図3に示すタイミング図に基づいて説明する。この図3に示す動作タイミングは、図15に示したシーケンスで動作させた場合のものである。図3において、各画素行の行選択用MOSトランジスタ4のゲートに印加されるパルスを $\Phi SE1 \sim \Phi SEN$ 、リセット用MOSトランジスタ2のゲートに印加されるパルスを $\Phi RS1 \sim \Phi RSn$ とする。これらパルス $\Phi SE1 \sim \Phi SEN$ 及び $\Phi RS1 \sim \Phi RSn$ は、垂直走査回路21で発生するものである。また $\Phi H1 \sim \Phi Hm$ は水平走査回路22で発生するものであり、水平選択用トランジスタ5のゲートに印加される。 ΦT は転送信号であり、信号転送用MOSトランジスタ6のゲートに印加されるものである。

【0020】

画素リセット期間においては、時刻 $t1$ で1行目及び2行目のパルス $\Phi RS1$ 及び $\Phi RS2$ がハイレベルとなり、1行目及び2行目のリセット用MOSトランジスタ2がオンし、1行目及び2行目のフォトダイオード1をリセットする。続いて、時刻 $t2$ で3行目及び4行目のパルス $\Phi RS3$ 及び $\Phi RS4$ がハイレベルとなり、3行目及び4行目のリセット用MOSトランジスタ2がオンし、3行目及び4行目のフォトダイオード1をリセットする。以下同様に、順次2行ずつフォトダイオード1をリセットしていく。このリセット期間においては、信号を出

力する必要はないので、 $\Phi H1 \sim \Phi Hm$ は全てロウレベルとしている。また $\Phi SE1 \sim \Phi SEN$ 及び ΦT についても、リセット期間中は常にロウレベルとしておいても構わない。これは、タイミングパルス生成部32に入力するタイミング信号 ΦSE 、 ΦRS を制御することで簡単に行える。

【0021】

このリセット期間においては、隣接した2行ずつリセットを行っていくため、1行ずつリセットを行う場合に比べ、約1/2の時間で全画素のリセット動作を終了させることができる。リセット期間が終了すると蓄積期間となる。この蓄積期間は前述した通り、メカシャッターや照明を用いて所望の蓄積期間を得ることができる。

【0022】

蓄積期間が終了すると、信号出力期間となる。信号出力期間では、時刻 $t3$ において、パルス $\Phi SE1$ がハイレベルとなり、1行目の行選択用MOSトランジスタ4がオンし、そのときの1行目のフォトダイオード1のレベルが、垂直信号線10に現れる。また、このとき、転送信号パルス ΦT もハイレベルであるので、垂直信号線10に現れた信号は、蓄積容量8に蓄積される。時刻 $t4$ で画素信号の蓄積容量8への蓄積が終了した後、蓄積容量8に蓄積された信号は、時刻 $t5$ でパルス $\Phi H1$ がハイレベルとなり、1列目の水平選択用MOSトランジスタ5がオンして、水平信号線11上に現れ、出力アンプ25を介して出力端子26から取り出される。その後、図3では示していないが、水平信号線リセット用MOSトランジスタ7をオンし、水平信号線11をリセットした後、パルス $\Phi H2$ がハイレベルとなり、蓄積容量8に蓄積された2列目の信号が取り出される。以下同様にして、パルス $\Phi H3 \dots \Phi Hm$ に同期して、3...m列目までの信号が順次出力される。

【0023】

同様に2行目の画素信号は、パルス $\Phi RS2$ 、 $\Phi SE2$ 、 $\Phi H1 \dots \Phi Hm$ によって制御されて出力され、これをn行目まで同様に制御することにより、m列n行全ての画素信号を出力することができる。

【0024】

このように、図3で示したような動作を行わせることにより、システムとしては本来不要な期間である画素リセット期間を短縮することができる。リセット期間に同時にリセットする画素行数は、本実施の形態では2行の場合で示したが、これに限らず、行数を増やせば、より短時間での全画素リセットが行える。したがって画素数が増大しても同時にリセットする画素行数を変えることで、全画素リセットに要する時間の増大を抑えることが可能となる。なお、固体撮像装置の基本構成は、図1の本実施の形態に示したものに限らず、いわゆるX-Yアドレス型と称される固体撮像装置を用いることができることは明らかである。

【0025】

以上のような動作を行わせるための、図2に示した垂直走査回路を構成する行選択部31の具体的な構成例としては、本出願人の出願に係る特開平9-200615号公報（特許文献2）に記載したシフトレジスタがある。図4は、そのシフトレジスタの構成図であり、まず、図5を用いて図4に示したシフトレジスタの構成要素について説明する。このシフトレジスタの構成要素は、クロックドインバータ2段によって1つのシフトレジスタユニット41を構成する形態のものであり、これを模式的な概念図で示すと、図6のように表される。図7にその動作タイミングを示す。クロック信号はCK1とCK2の2相で、初段のシフトレジスタユニット41の入力にスタート信号STが印加されることにより、クロック信号CK1の立下りに同期して、各シフトレジスタユニット41の出力端子より順次、S1, S2, S3・・・が出力されるようになっている。なお、XCK1, XCK2は、それぞれクロック信号CK1, CK2の反転信号を示している。

【0026】

次に、図4に示した行選択部31を構成するシフトレジスタの構成について説明する。図4においては、2相のクロック信号CK1, CK2がA, Bの2系統に分けられており、U(0), U(n), U(2n)・・・のn段に対するシフトレジスタユニットは、A系統のクロック信号(CK1A, CK2A)によって駆動され、一方残りの他のシフトレジスタユニットU(1), U(2), U(n-1), U(n+1)・・・は、B系統のクロック信号(CK1B, CK2B)によって駆動されるようになっている。

【0027】

図8及び図9は、図4に示したシフトレジスタの動作を説明するタイミングチャートである。図8に示す動作では、2系統のクロック信号(CK1A, CK2A)と(CK1B, CK2B)を同一にすることにより、図7に示したタイミングチャートと同様に、CK1A, CK1Bの立下りに同期して、各シフトレジスタユニットU(0), U(1), U(2), U(n-1)・・・より、順次S(0), S(1), S(2), S(n-1)・・・が出力される。この動作モードは、信号出力期間に適用される。

【0028】

図9に示す動作では、B系統のクロック信号(CK1B, CK2B)はロウレベルに固定し、A系統のクロック信号(CK1A, CK2A)は、図8に示すタイミングチャートと同一とする。この場合、B系統のクロック信号(CK1B, CK2B)が入力されるユニットU(1), U(2), U(n-1), U(n+1)・・・では、ユニットを構成する2つのクロックドインバータが単なるインバータとして動作することになる。その結果、これらのシフトレジスタユニットU(1), U(2), U(n-1), U(n+1)・・・の出力S(1), S(2), S(n-1), S(n+1)・・・は、前段のシフトレジスタユニットの出力と同一となる。すなわち、S(1)～S(n-1)はS(0)と、S(n+1)～S(2n-1)はS(n)と、S(2n+1)～S(3n-1)はS(2n)と、・・・同一となる。この動作モードは、画素リセット期間に適用される。

【0029】

なお、行選択部31に用いるシフトレジスタの構成としては、この例に限ったものではない。また、垂直走査回路21の構成は、必ずしも図2に示した行選択部31とタイミングパルス生成部32から構成されている必要はなく、画素リセット期間と信号読出し期間で、走査モードを切り替えることができればよいことは明らかである。

【0030】

(第2の実施の形態)

次に、第2の実施の形態について説明する。本発明の第2の実施の形態に係る固体撮像装置の基本構成は、第1の実施の形態と同様に図13に示したものと同一であり、また垂直走査回路の具体的な基本構成も図2に示した第1の実施の形態のものと同一である。図10に、図1に示した基本構成の固体撮像装置を用いた場合の本発明の第2の実施の形態の動作タイミング図を示す。図10に示す動作も、図15に示したシーケンスで動作させた場合のものである。図10において、各画素行の行選択用MOSトランジスタ4のゲートに印加されるパルスを、 $\Phi SE1 \sim \Phi SEN$ とし、リセット用MOSトランジスタ2のゲートに印加されるパルスを、 $\Phi RS1 \sim \Phi RSn$ とする。これらパルス $\Phi SE1 \sim \Phi SEN$ 及び $\Phi RS1 \sim \Phi RSn$ は、垂直走査回路21で発生するものである。また、 $\Phi H1 \sim \Phi Hm$ は水平走査回路22で発生するものであり、水平選択用トランジスタ5のゲートに印加される。 ΦT は転送信号であり、信号転送用MOSトランジスタ6のゲートに印加されるものである。

【0031】

画素リセット期間においては、時刻 t_1 で1行目及び $n/2+1$ 行目のパルス $\Phi RS1$ 及び $\Phi RSn/2+1$ がハイレベルとなり、1行目及び $n/2+1$ 行目のリセット用MOSトランジスタ2がオンし、1行目及び $n/2+1$ 行目のフォトダイオード1をリセットする。続いて、時刻 t_2 で2行目及び $n/2+2$ 行目のパルス $\Phi RS2$ 及び $\Phi RSn/2+2$ がハイレベルとなり、2行目及び $n/2+2$ 行目のリセット用MOSトランジスタ2がオンし、2行目及び $n/2+2$ 行目のフォトダイオード1をリセットする。以下同様に、順次2行ずつフォトダイオード1をリセットしていく。このリセット期間においては、信号を出力する必要はないので、 $\Phi H1 \sim \Phi Hm$ は全てロウレベルとしている。また、 $\Phi SE1 \sim \Phi SEN$ 及び ΦT についても、リセット期間中は常にロウレベルとしておいても構わない。これは、タイミングパルス生成部32に入力するタイミング信号を制御することで簡単に行える。

【0032】

この第2の実施の形態のリセット期間においては、第1の実施の形態と同様に、離散的であるが2行ずつリセットを行っていくため、1行ずつリセットを行う

場合に比べ、約 $1/2$ の時間で全画素のリセット動作を終了させることができる。リセット期間が終了すると、蓄積期間となる。この蓄積期間は前述した通り、メカシャッターや照明を用いて所望の蓄積期間を得ることができる。

【0033】

蓄積期間が終了すると、信号出力期間となる。信号出力期間では、時刻 t_3 において、パルス $\Phi SE1$ がハイレベルとなり、1 行目の行選択用 MOS トランジスタ 4 がオンし、そのときの 1 行目のフォトダイオード 1 のレベルが垂直信号線 10 に現れる。また、このとき、転送信号パルス ΦT もハイレベルであるので、垂直信号線 10 に現れた信号は、蓄積容量 8 に蓄積される。時刻 t_4 で画素信号の蓄積容量 8 への蓄積が終了した後、蓄積容量 8 に蓄積された信号は、時刻 t_5 でパルス $\Phi H1$ がハイレベルとなり、1 列目の水平選択用 MOS トランジスタ 5 がオンして、水平信号線 11 上に現れ、出力アンプ 25 を介して出力端子 26 から取り出される。その後、図 10 では示していないが、水平信号線リセット用 MOS トランジスタ 7 をオンし、水平信号線 11 をリセットした後、パルス $\Phi H2$ がハイレベルとなり、蓄積容量 8 に蓄積された 2 列目の信号が取り出される。以下同様にして、パルス $\Phi H3 \cdots \Phi Hm$ に同期して、 $3 \cdots m$ 列目までの信号が順次出力される。

【0034】

同様に 2 行目の画素信号は、パルス $\Phi RS2$, $\Phi SE2$, $\Phi H1 \cdots \Phi Hm$ によって制御されて出力され、これを n 行目まで同様に制御することにより、 m 列 n 行全ての画素信号を出力することができる。

【0035】

図 10 で示したような動作を行うことにより、システムとしては本来不要な期間である画素リセット期間を短縮することができる。リセット期間に同時にリセットする画素行数は、本実施の形態では 2 行の場合で示したが、これに限らず、行数を増やせば、より短時間での全画素リセットが行える。したがって、画素数が増大しても同時にリセットする画素行数を変えることで、全画素リセットに要する時間の増大を抑えることが可能となる。また、固体撮像装置の基本構成は本実施の形態に示したものに限らず、いわゆる X-Y アドレス型と称されるの固体撮

像装置を用いることができることは明らかである。

【0 0 3 6】

以上のような動作を行うための行選択部31は、図11に示すようにスタートパルス入力位置をシフトレジスタユニット41の複数段に設ける構成とし、画素リセット期間では、その複数のスタートパルス入力位置から同時に走査を開始させ、信号出力期間では、最初の1箇所のみスタート信号S T 0を入力して走査することで所望の動作が可能となる。この行選択部31の具体的構成は、本出願人の出願に係る特開平4-277986号公報（特許文献3）に記載したシフトレジスタを応用することで実現できる。

【0 0 3 7】

また、他の具体的な構成例として本出願人の出願に係る特開平6-350933号公報（特許文献4）、特開平9-163244号公報（特許文献5）に記載したシフトレジスタを応用することもできる。図12に、その構成例を示す。図12において、41は2個のクロックドインバータを直列接続してなるシフトレジスタユニット、42は制御信号C O N Tにより制御される双方向スイッチ、43は記憶部、44は前記シフトレジスタユニット41、双方向スイッチ42及び記憶部43よりなるシフトレジスタの単位ブロックである。そして、このように構成した単位ブロック44を複数個縦続接続してシフトレジスタを構成している。

【0 0 3 8】

次に、このように構成したシフトレジスタの動作について説明する。このシフトレジスタにおいては、実際の本走査に先立って行われる先行走査において、スタートパルスΦ S Tを入力しクロックΦ 1，Φ 2によりシフトさせる。そして、本走査で走査を開始する所望の位置にまでスタートパルスがシフトされた時点で、制御信号C O N Tにより双方向スイッチ42をオンし、各シフトレジスタユニット41の情報を記憶部43に記憶する。そして本走査開始前に、再び制御信号C O N Tにより双方向スイッチ42をオンし、記憶部43に記憶された情報をシフトレジスタユニット41に転送し、次いでシフトレジスタを駆動し本走査を行うことにより、所望の位置から走査を開始させることができる。

【0 0 3 9】

このようなシフトレジスタを用いた場合は、画素リセット期間では、先行走査により、複数の記憶部にスタート位置情報を記憶した後に本走査を行うことで、複数行同時にリセット動作を行うことができ、信号出力期間では、先行走査は行わず、初段から本走査を行うことにより、全画素の信号読出しが行える。

【0040】

なお、行選択部に用いるシフトレジスタの構成としては、これらの構成例に限ったものではない。また、垂直走査回路の構成は、必ずしも行選択部とタイミングパルス生成部から構成されている必要はなく、画素リセット期間と信号読出し期間で、走査モードを切り替えることができるものであれば、よいことは明らかである。

【0041】

【発明の効果】

以上、本発明によれば複数行の画素を同時にリセットすることができ、全画素をリセットする時間を短縮することができる。また同時にリセットする画素行数を調整することにより、画素数に依存しない、全画素のリセット時間を得ることが可能である。

【図面の簡単な説明】

【図1】

本発明に係る固体撮像装置の第1の実施の形態の基本構成を示す回路構成図である。

【図2】

図1に示した第1の実施の形態に係る固体撮像装置の垂直走査回路の具体的な構成例の一部を示す図である。

【図3】

図1に示した第1の実施の形態に係る固体撮像装置の動作を説明するためのタイミングチャートである。

【図4】

図2に示した垂直走査回路の行選択部の具体的な構成例を示す図である。

【図5】

図 4 に示した行選択部を構成するシフトレジスタの基本構成を示す回路構成図である。

【図 6】

図 5 に示したシフトレジスタを模式的に示す概念図である。

【図 7】

図 5 に示したシフトレジスタの動作を説明するためのタイミングチャートである。

【図 8】

図 4 に示したシフトレジスタの信号出力期間における動作を説明するためのタイミングチャートである。

【図 9】

図 4 に示したシフトレジスタの画素リセット期間における動作を説明するためのタイミングチャートである。

【図10】

本発明の第 2 の実施の形態の動作を説明するためのタイミングチャートである。

【図11】

第 2 の実施の形態に係る固体撮像装置の垂直走査回路を構成する行選択部の構成を示す概略ブロック構成図である。

【図12】

図11に示した行選択部を構成するシフトレジスタの具体的な構成例を示す図である。

【図13】

従来の固体撮像装置の構成例を示す回路構成図である。

【図14】

図13に示した固体撮像装置の動作を説明するためのタイミングチャートである。

【図15】

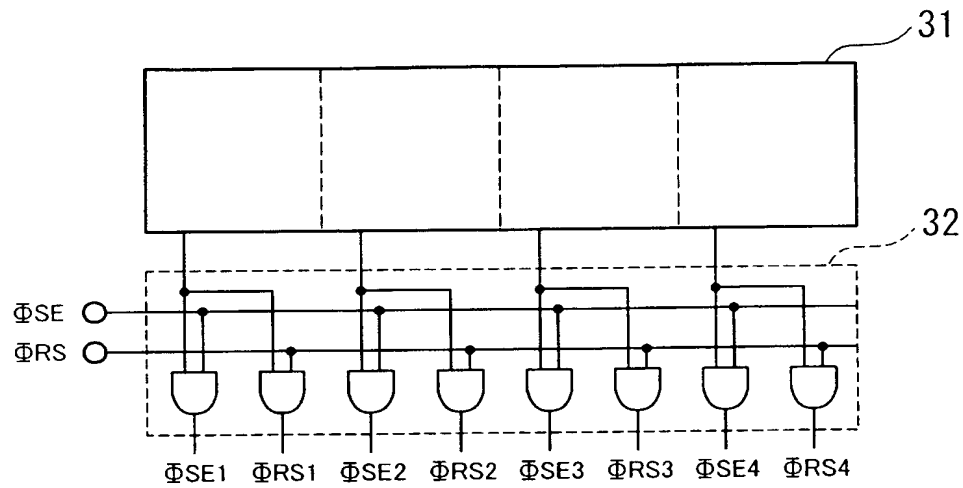
図13に示した固体撮像装置において、各行の画素の蓄積期間を揃えるために、

メカシャッターや照明を用いた場合の動作シーケンスを示す図である。

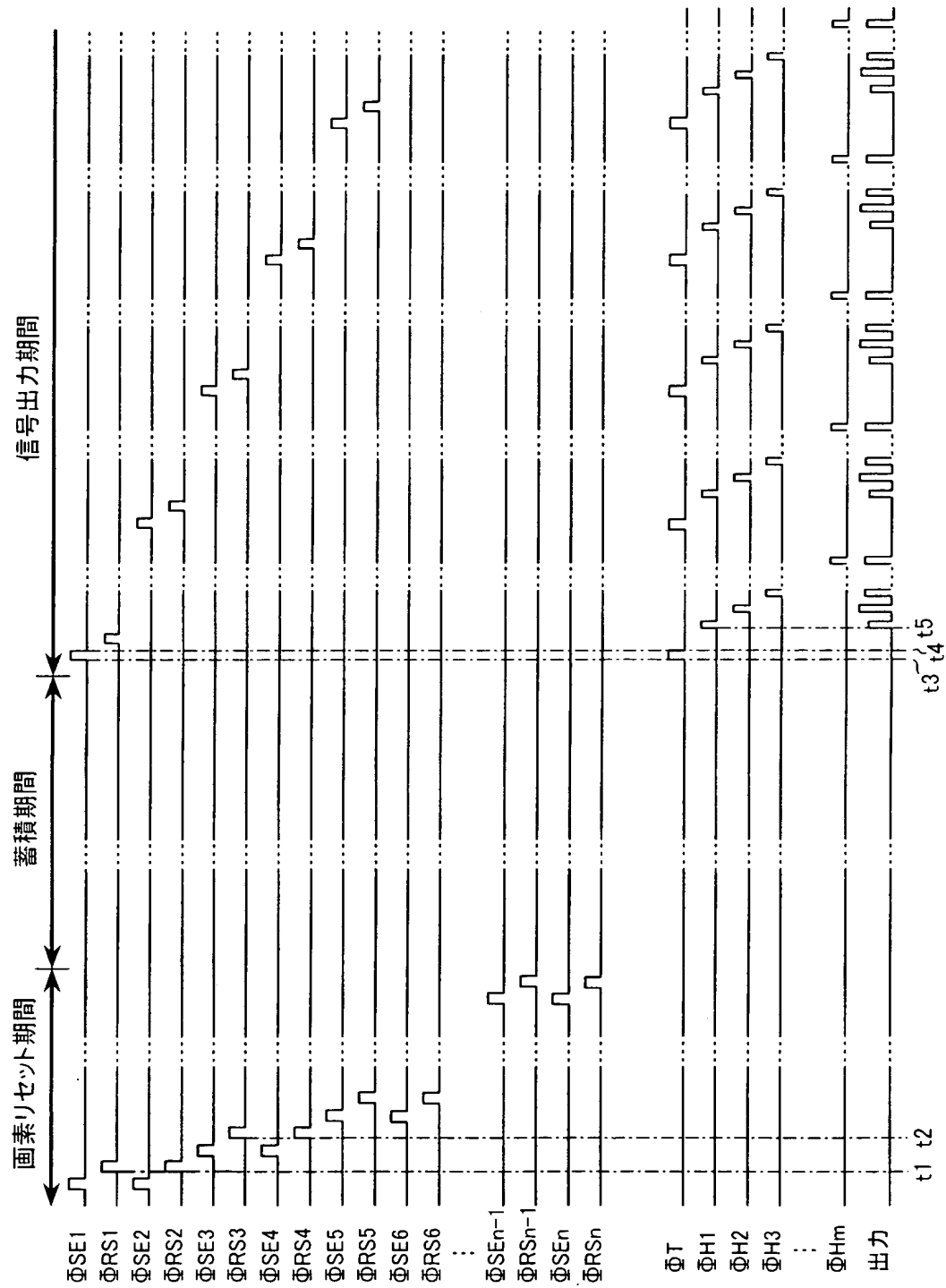
【符号の説明】

- 1 フォトダイオード
- 2 リセット用MOSトランジスタ
- 3 アンプ用MOSトランジスタ
- 4 行選択用MOSトランジスタ
- 5 水平選択用MOSトランジスタ
- 6 信号転送用MOSトランジスタ
- 7 水平信号線リセット用MOSトランジスタ
- 8 信号蓄積容量
- 10 垂直信号線
- 11 水平信号線
- 21 垂直走査回路
- 22 水平走査回路
- 23 画素電源
- 24 電流源
- 25 出力アンプ
- 26 出力端子
- 31 行選択部
- 32 タイミングパルス生成部
- 41 シフトレジスタユニット
- 42 双方向スイッチ
- 43 記憶部
- 44 単位ブロック

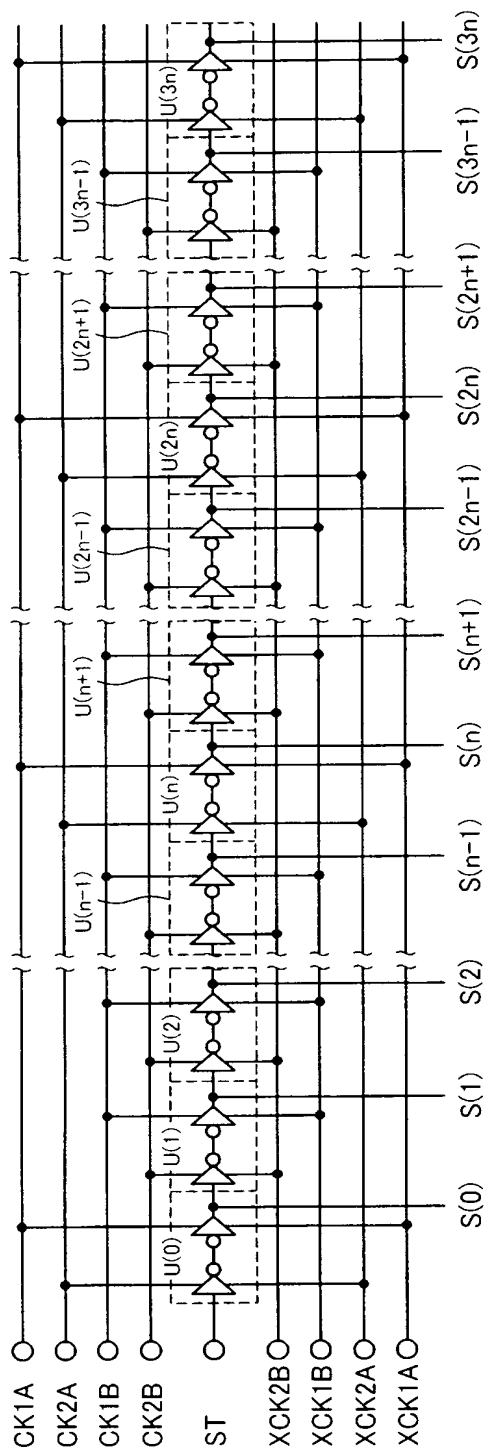
【図 2】



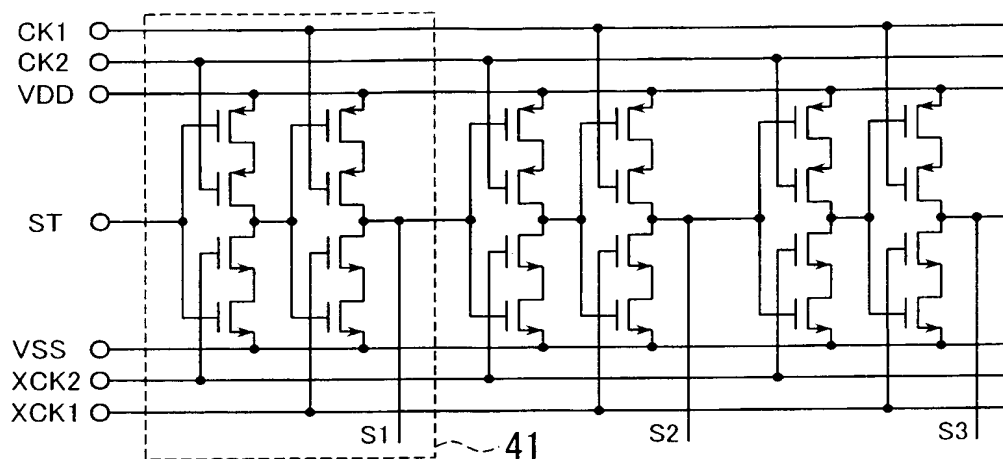
【図 3】



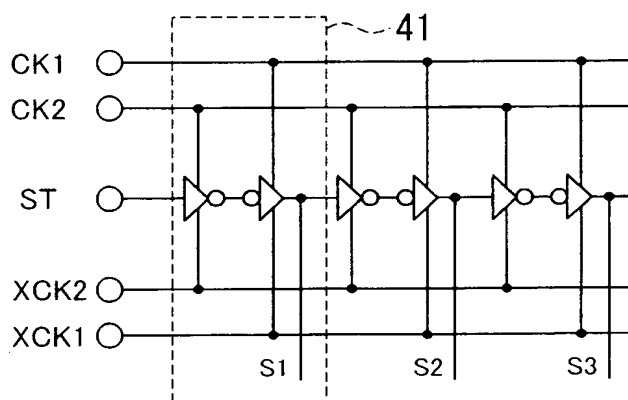
【図 4】



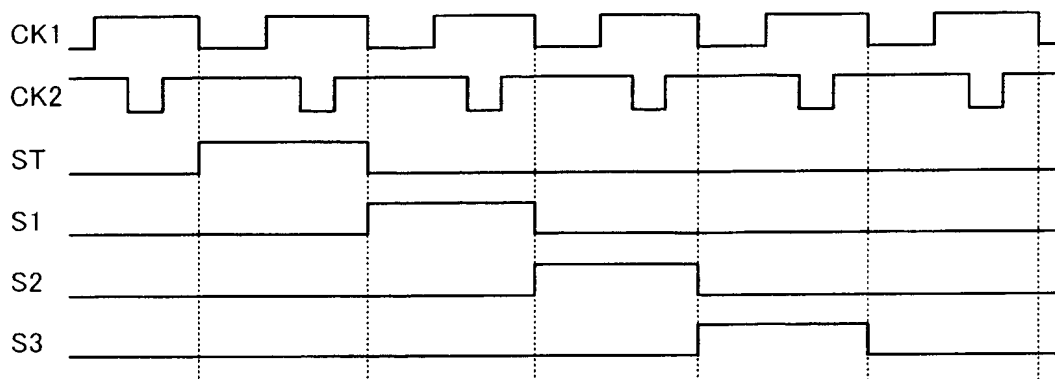
【図 5】



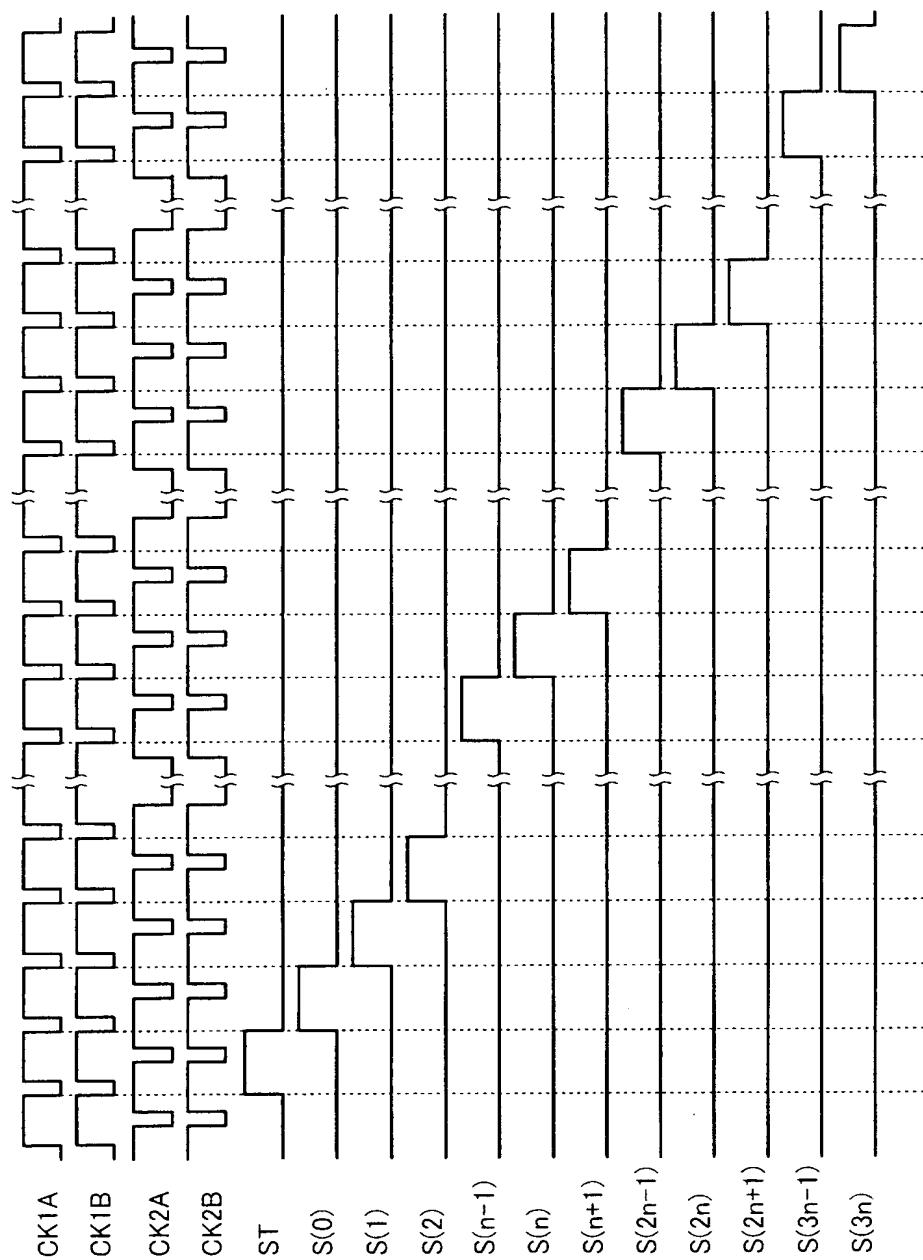
【図 6】



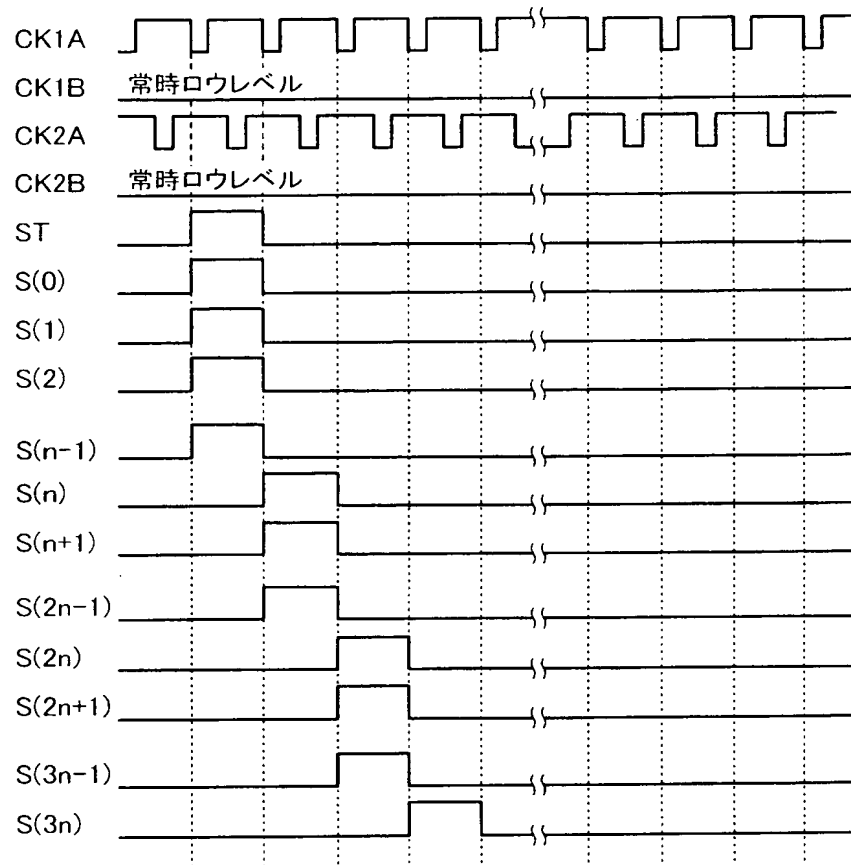
【図 7】



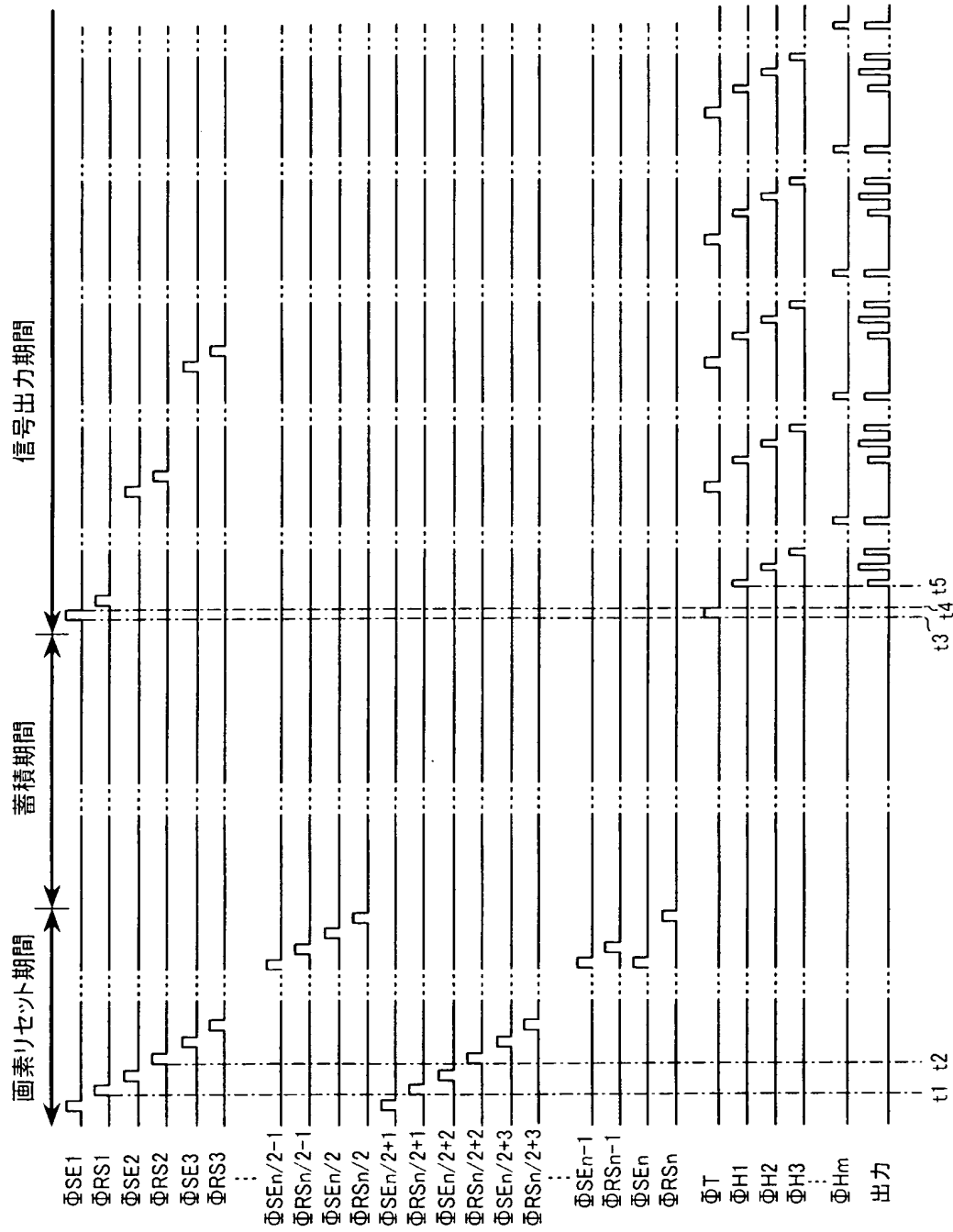
【図 8】



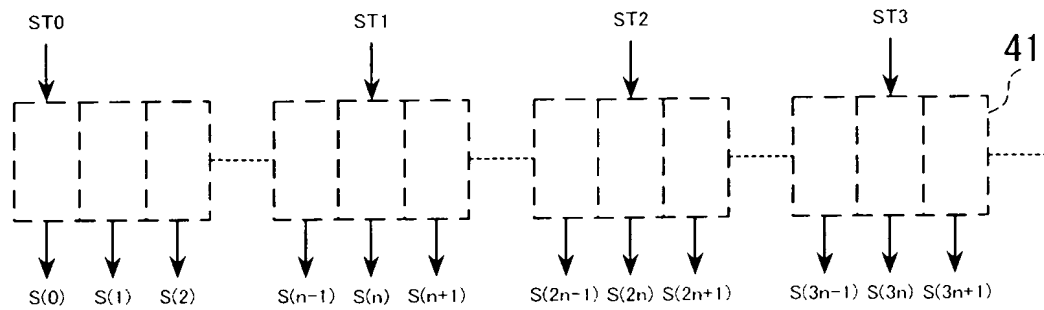
【図 9】



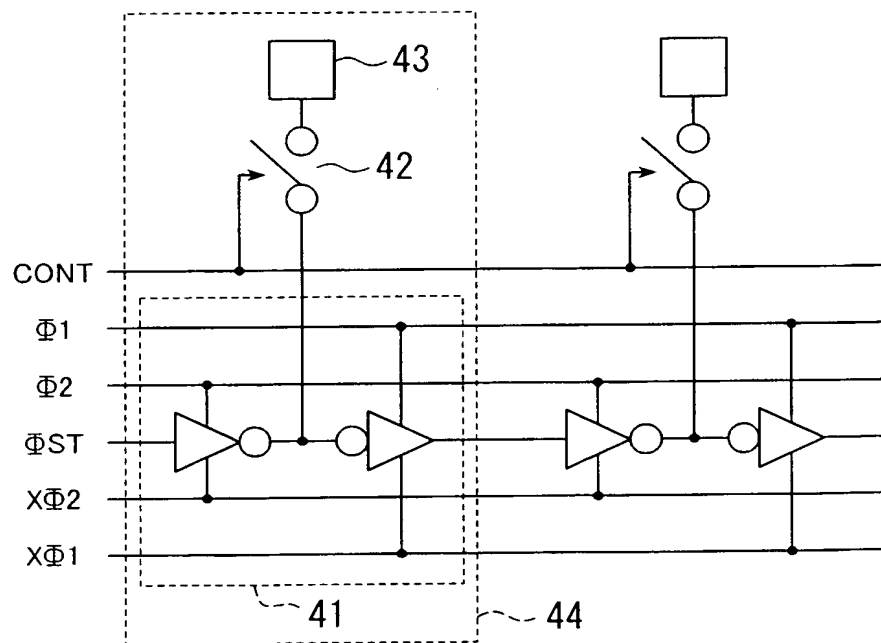
【図 10】



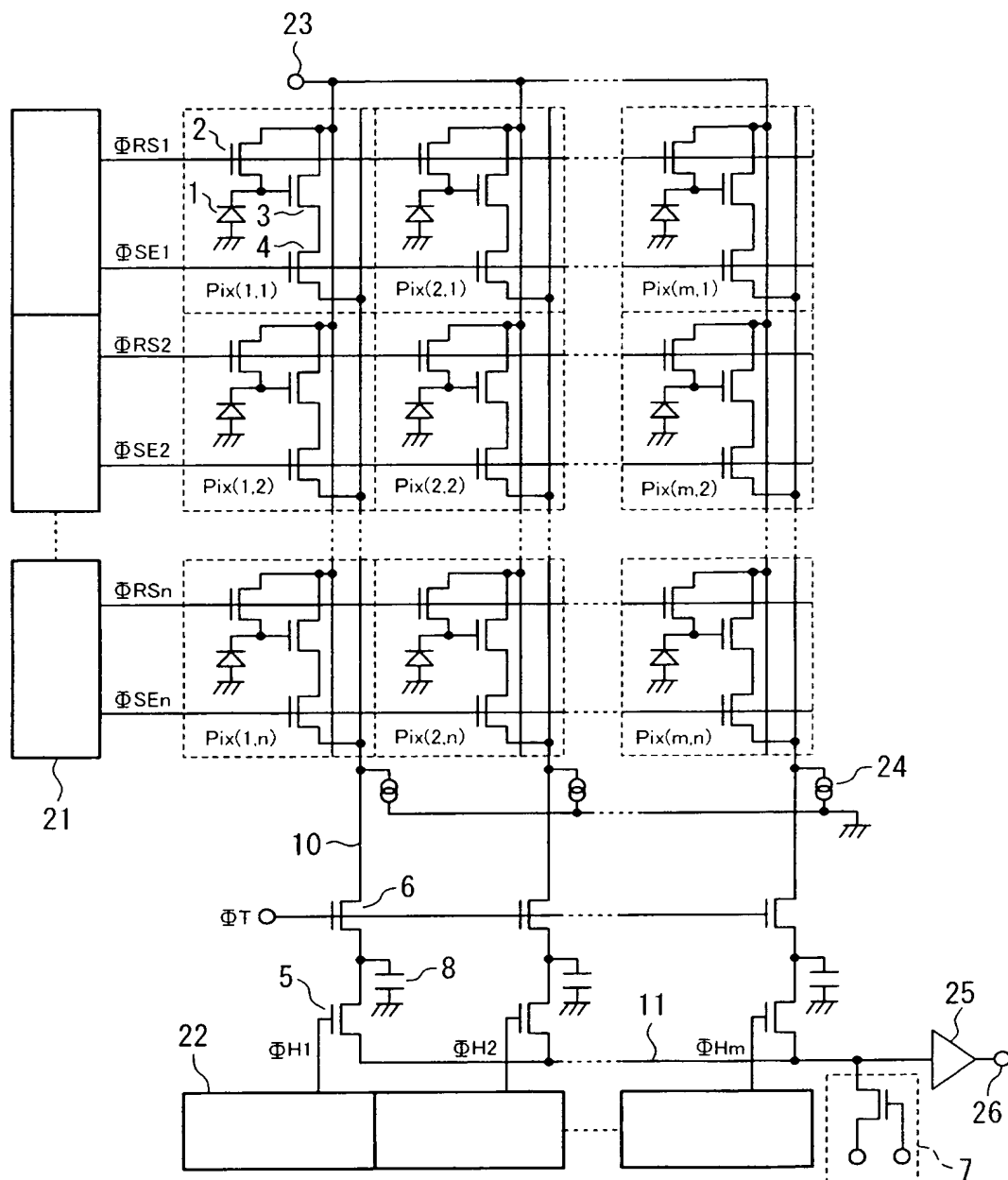
【図 1 1】



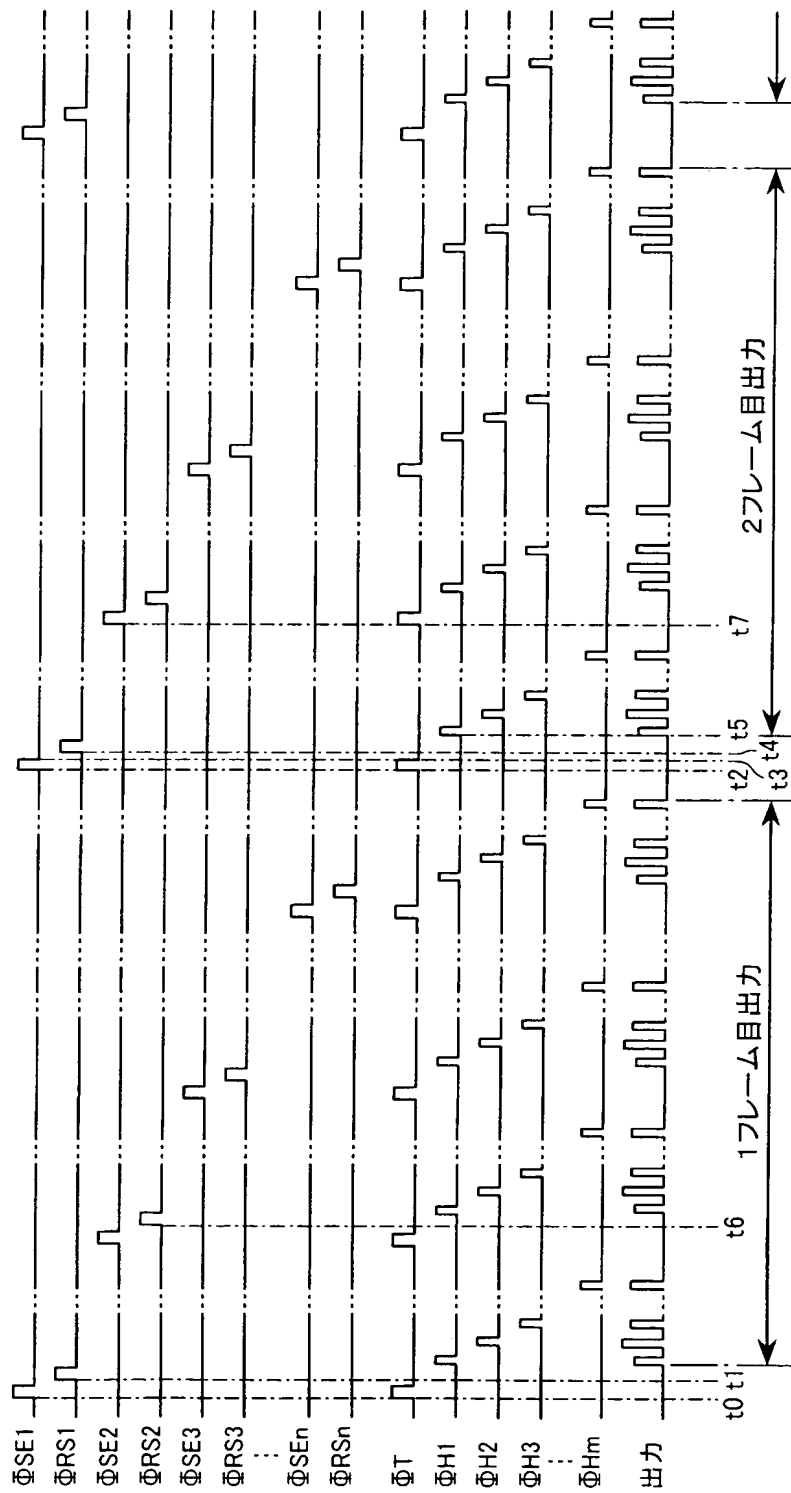
【図 1 2】



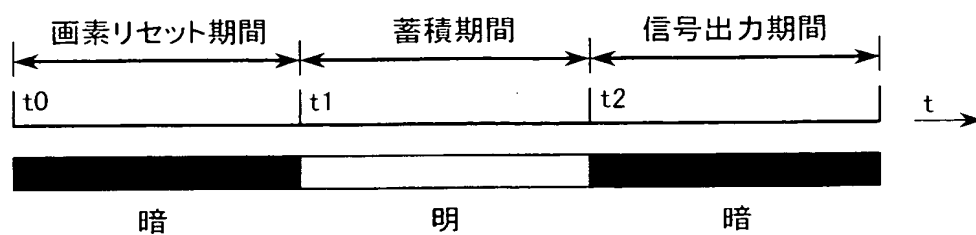
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 画素数が増大しても全画素リセット動作を高速に行えるようにした固体撮像装置を提供する。

【解決手段】 2次元状に配列された複数の画素 $P_{ix}(1,1) \sim P_{ix}(m,n)$ と、該画素の信号の読出しを行うための水平及び垂直走査回路21, 22とからなるXYアドレス型の固体撮像装置において、前記垂直走査回路によって、第1のタイミングで同時に n 行 ($n: 2$ 以上の整数) を選択し、その n 行の画素のリセット動作を同時に行い、第1のタイミングに引き続く第2のタイミングで、第1のタイミングで選択した行とは異なるアドレスの n 行を選択し、その n 行の画素のリセット動作を行い、この態様のリセット動作を繰り返し行うことで全画素のリセット動作を行うように構成する。

【選択図】 図1

特願 2 0 0 3 - 1 0 7 4 7 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 3 7 6]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号
氏 名 オリnpas 光学工業株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日
[変更理由] 名称変更
住 所 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号
氏 名 オリnpas 株式会社